



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0037245
Application Number

출원년월일 : 2003년 06월 10일
Date of Application JUN 10, 2003

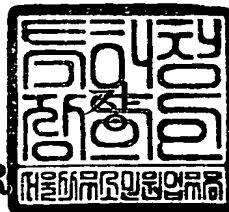
출원인 : 삼성에스디아이 주식회사
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 09 월 19 일

특 허 청

COMMISSIONER





1020030037245

출력 일자: 2003/9/24

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.06.10
【발명의 명칭】	평판 표시 장치
【발명의 영문명칭】	FLAT PANEL DISPLAY DEVICE
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-055227-0
【발명자】	
【성명의 국문표기】	박지용
【성명의 영문표기】	PARK,JI YONG
【주민등록번호】	700331-1823311
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 993-5, 204호
【국적】	KR
【발명자】	
【성명의 국문표기】	이을호
【성명의 영문표기】	LEE,UL HO
【주민등록번호】	720614-1575710
【우편번호】	449-906
【주소】	경기도 용인시 기흥읍 서천리 157-1
【국적】	KR
【발명자】	
【성명의 국문표기】	구재본
【성명의 영문표기】	KOO, JAE BON
【주민등록번호】	720706-1767718

【우편번호】	449-766
【주소】	경기도 용인시 수지읍 풍림아파트 105동 504호
【국적】	KR
【발명자】	
【성명의 국문표기】	박혜향
【성명의 영문표기】	PARK, HYE HYANG
【주민등록번호】	771015-2657220
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1285-7, 101호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	3 면 3,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	10 항 429,000 원
【합계】	461,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 액티브 매트릭스형 평판 표시 장치에 관한 것으로, 녹색, 적색 및 청색 화소 영역을 구비하고 있으며, 동일한 액티브 채널 길이 및 폭을 갖는 상기 화소를 구동하는 구동 박막 트랜지스터를 구비하고 있으며, 상기 구동 박막 트랜지스터의 액티브 채널 영역 내에 포함되는 다결정 실리콘의 결정립 경계의 수가 각 화소마다 서로 다른 것을 특징으로 하는 평판 표시 장치를 제공함으로써 화소를 구동하는 구동 박막 트랜지스터의 액티브 채널 영역의 폭이나 크기를 변경하지 않고 구동전압을 변경하지 않으면서 동일 크기의 액티브 채널 영역을 가지 고도 화이트 밸런스를 맞출 수 있고, 부화소별로 적정한 전류를 공급하므로 적정 휘도를 얻을 수 있고, 수명 열화를 방지할 수 있다.

【대표도】

도 2

【색인어】

액티브 매트릭스형 평판 표시 장치, 프라이머리 결정립 경계, 화이트 밸런스

【명세서】**【발명의 명칭】**

평판 표시 장치{FLAT PANEL DISPLAY DEVICE}

【도면의 간단한 설명】

도 1은 본 발명에 따른 평판 표시 장치 중 그 바람직한 일 실시예에 따른 액티브 매트릭스형 유기 전계 발광 소자의 박막 트랜지스터의 액티브 영역의 구조를 설명하기 위한 평면도이다.

도 2는 다결정 실리콘 상에 박막 트랜지스터가 배치되어 있는 구조를 나타내는 도면이다.

도 3은 프라이머리 결정립 경계의 수에 따른 전류 이동도의 변화를 나타내는 그래프이다.

도 4는 세컨더리 결정립 경계의 수에 따른 전류 이동도의 변화를 나타내는 그래프이다.

도 5는 도 1에서 단일 화소를 나타내는 부분 확대 평면도이다.

도 6은 도 5에서 II-II 선을 따라 절단한 단면을 나타내는 단면도이다.

도 7은 도 5에서 III-III 선을 따라 절단한 단면을 나타내는 단면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> [산업상 이용분야]

- <9> 본 발명은 액티브 매트릭스형 평판 표시 장치에 관한 것으로, 더욱 상세하게는 다결정 실리콘을 액티브 채널 영역으로 형성하고, 각 부화소별로 그 방향을 달리한 박막 트랜지스터를 구비한 액티브 매트릭스형 평판 표시 장치에 관한 것이다.
- <10> [종래 기술]
- <11> 최근, 자발광형인 EL 소자를 사용하는 EL 표시 장치가 CRT 및 LCD를 대체하는 표시장치로 주목받고 있다.
- <12> 또한, EL 소자를 구동하는 스위칭 소자로써 TFT를 구비한 표시 장치도 연구 개발되고 있다.
- <13> 이러한 평판 표시 장치에 있어 스위칭 소자나 화소의 구동소자로 사용되는데, 능동 구동 방식의 액티브 매트릭스(AM)형 유기 전계 발광 표시 장치는 각 부화소(sub-pixel)당 적어도 2개의 박막 트랜지스터(이하, TFT라 함)을 구비한다.
- <14> 상기 유기 전계 발광 소자는 애노드 전극과 캐소드 전극 사이에 유기물로 이루어진 발광층을 갖는다. 이 유기 전계 발광 소자는 이들 전극들에 양극 및 음극 전압이 각각 인가됨에 따라 애노드 전극으로부터 주입된 정공(hole)이 정공 수송층을 경유하여 발광층으로 이동되고, 전자는 캐소드 전극으로부터 전자 수송층을 경유하여 발광층으로 주입되어, 이 발광층에서 전자와 홀이 재결합하여 여기자(exiton)를 생성하고, 이 여기자가 여기 상태에서 기저 상태로 변화됨에 따라 발광층의 발광물질이 발광함으로써 화상을 형성한다. 풀컬러 유기 전계 발광 표시 장치의 경우에는 상기 유기 전계 발광 소자로서, 적(R), 녹(G), 청(B)의 삼색을 발광하는 화소를 구비하도록 함으로써 풀컬러를 구현한다.

- <15> 그런데, 상기와 같은 유기 전계 발광 표시 장치에 있어서, 각 색채를 발광하는 적, 녹, 청 각 발광층의 발광효율(Cd/A)이 색채별로 서로 다르다. 또한, 이러한 발광층의 휘도는 각 부화소에 인가되는 전류치에 대략 비례하기 때문에, 동일한 전류를 인가하였을 경우 어떤 색은 휘도가 낮고, 어떤 색은 휘도가 높아 적정도의 색 밸런스 또는 화이트 밸런스(white balance)를 얻기 어렵다.
- <16> 예컨대, 녹색 발광층의 발광 효율이 적색 발광층 및 청색 발광층에 비해 3 내지 6배 높기 때문에 화이트 밸런스를 맞추기 위해서는 적색 및 청색 발광층에 그만큼 더 많은 전류를 흘려주어야 한다.
- <17> 한편, 화이트 밸런스를 맞추기 위한 종래의 방법으로는, 일본 특허 특개평5-107561호에는 구동라인을 통해 공급되는 전압, 즉 Vdd 값을 각 화소별로 다르게 인가하는 방법이 개시되어 있다.
- <18> 또한, 일본 특허 공개 공보 제2001-109399호에는 구동 TFT의 크기를 조절함으로써 화이트 밸런스를 맞추는 방법이 개시되어 있다. 즉, 구동 TFT의 채널 영역의 채널 폭을 W라 하고, 채널 길이를 L이라 할 때, W/L의 값을 적, 녹, 청색의 각 화소별로 다르게 설계하여 적, 녹, 청색의 각 유기 전계 발광 소자에 흐르는 전류 양을 조절하는 것이다.
- <19> 일본 특허 공개 공보 제2001-290441호에는 각 화소를 다른 크기로 형성함으로써 화이트 밸런스를 맞추는 방법이 개시되어 있다. 즉, 발광 효율이 가장 높은 녹색 발광 영역의 발광 면적을 적색 및 청색 발광 영역의 발광 면적에 비해 가장 작게 형성하여 화이트 밸런스와 장수 명화를 도모하는 것이다. 이러한 발광 면적의 차이는 애노드 전극의 면적으로서 가능하게 할 수 있다.

- <20> 이 밖에도 데이터 라인을 통해 인가되는 전압 범위를 적, 녹, 청색 각 화소별로 달리하여 전류량을 제어함으로써 휘도를 조절하는 방법이 알려져 있다.
- <21> 그런데, 상기와 같은 방법은 다결정 실리콘을 사용하는 평판 디스플레이 장치의 TFT에 있어서, 그 결정 구조를 고려하지 않은 것이다. 즉, TFT 액티브 채널 영역 내에 포함되는 다결정 실리콘의 결정 상태를 고려할 때에 다결정 실리콘의 결정 상태에 따라 전류 이동도가 달라질 수 있으며, 이 경우 상기와 같은 방법들에 의해서도 화이트 밸런스를 맞출 수 없는 문제가 발생할 수 있다.
- <22> 한편, 유기 전계 발광 소자에 있어서는 각 부화소당 유기 전계 발광 소자에 흐르는 전류량이 한계치를 초과하게 되면, 한계치 이상의 전류량에 의해 단위 면적 당 휘도가 크게 증가하고, 이에 따라 유기 전계 발광 소자의 수명이 급격히 감소하게 된다. 따라서, 소자의 수명을 위해서도 각 부화소당 최적의 전류량을 공급해야 할 필요성이 있다.

【발명이 이루고자 하는 기술적 과제】

- <23> 본 발명은 위에서 설명한 바와 같은 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 구동 TFT의 액티브 채널의 크기를 변경하지 않고, 동일 구동전압을 가한 상태에서도 화이트 밸런스를 맞출 수 있는 평판 표시 장치를 제공하는 것이다.
- <24> 또한, 본 발명의 다른 목적은 각 부화소에 최적의 전류를 공급함으로써 적절한 휘도를 얻고, 수명을 단축시키지 않는 평판 표시 장치를 제공하는 것이다.

【발명의 구성 및 작용】

- <25> 본 발명은 상기한 목적을 달성하기 위하여, 본 발명은

- <26> 동일한 채널 길이 및 폭을 갖는 화소 전극을 구동하는 구동 박막 트랜지스터를 구비하고 있으며, 상기 구동 박막 트랜지스터의 액티브 채널 영역 내에 포함되는 다결정 실리콘의 프래이머리 결정립 경계의 수가 각 화소마다 서로 다른 것을 특징으로 하는 평판 표시 장치를 제공한다.
- <27> 이하, 본 발명을 첨부한 도면을 참조하여 더욱 상세히 설명한다.
- <28> 도 1은 본 발명에 따른 평판 표시 장치 중 그 바람직한 일 실시예에 따른 액티브 매트릭스형 유기 전계 발광 소자의 박막 트랜지스터의 액티브 영역의 구조를 설명하기 위한 평면도이다. 도 1에서 볼 때, 상기 유기 전계 발광 소자의 각 화소들은 적색(R), 녹색(G) 및 청색(B)의 부화소들이 종방향(도 1에서 상하방향)으로 반복하여 배치되도록 구비되어 있다. 그러나, 이러한 화소들의 구성은 반드시 이에 한정되는 것은 아니며, 각 색상의 부화소들이 모자이크상, 격자상 등 다양한 패턴으로 배열되어 화소를 구성할 수 있다.
- <29> 이러한 유기 전계 발광 소자는 복수개의 게이트 라인(51)이 횡방향(도 1에서 좌우 방향)으로 배설되고, 복수개의 데이터 라인(52)이 종방향으로 배설되어 있다. 그리고, 전력을 공급하기 위한 구동 라인(53)이 역시 종방향으로 배설되어 있다. 이들 게이트 라인(51), 데이터 라인(52) 및 구동 라인(53)은 하나의 부화소를 둘러싸도록 구비된다.
- <30> 한편, 상기와 같은 구성에 있어서, 적색(R), 녹색(G) 및 청색(B) 화소들의 각 부화소들은 제 1 박막 트랜지스터와 제 2 박막 트랜지스터의 적어도 2개의 박막 트랜지스터를 구비하고 있는데, 상기 제 1 TFT는 게이트 라인(51)의 신호에 따라 소자의 동작을 제어하는 스위칭 TFT가 되고, 상기 제 2 TFT는 소자를 구동하는 구동 TFT가 될 수 있다. 물론 이러한 TFT의 수와 배치는 디스플레이의 특성 및 구동 방법 등에 따라 다양한 수가 존재할 수 있으며, 그 배치 방법도 다양하게 존재할 수 있음은 물론이다.

<31> 전술한 바와 같이, 유기 전계 발광 표시 장치에 있어서는 적, 녹, 청색의 각 화소가 그 발광층의 발광 효율이 차이가 남으로 인하여 휘도에 차이가 나고, 이에 따라 동일 전류값에 대해서는 화이트 밸런스를 맞출 수가 없다. 표 1에는 현재 유기 전계 발광 표시 장치에서 일반적으로 널리 사용되는 적, 녹, 청색의 유기 발광층의 효율과 화이트 밸런스를 만족하기 위해 적, 녹, 청색의 각 부화소에 흘려주어야 할 전류값을 나타내었다.

<32> 【표 1】

	적색	녹색	청색
효율(Cd/A)	6.72	23.37	4.21
표시 화소 전류(μ A)	0.276	0.079	0.230
표시 화소 전류비	3.5	1	2.9

<33> 위의 표 1에서 볼 수 있는 바와 같이, 화이트 밸런스를 맞추기 위하여 흘려야 하는 전류값은 녹색 부화소가 가장 작고, 청색 부화소가 그 다음이며, 적색 부화소가 가장 많은 전류가 흘려야 함을 알 수 있다.

<34> 한편, 본 발명에서는 트랜지스터를 형성하는 반도체 층으로 다결정 실리콘을 사용한다. 따라서, 본 발명에서는 구동 박막 트랜지스터로 사용되는 제 2 TFT의 액티브 채널 영역을 적, 녹, 청색의 각 표시 화소별로 동일한 액티브 채널 영역의 크기 내에 프라이머리 결정립 경계의 수가 서로 다르게 포함되도록 함으로써 동일한 구동 전압에 대해서도 화이트 밸런스를 맞출 수 있도록 할 수 있다.

<35> 도 2는 다결정 실리콘 상에 박막 트랜지스터가 배치되어 있는 구조를 나타내는 도면이다

<36> 도 2에서 알 수 있는 바와 같이, 다결정 실리콘 박막은 비정질 실리콘 박막을 공지의 SLS(Sequential Lateral Solidification)에 의해 결정화한 것이나, 상기와 같은 결정 구조는

반드시 SLS 법에 의해 형성된 결정 구조에 한정되는 것은 아니며, 다결정 실리콘 박막의 결정 구조가 도 2와 같은 구조라면 어떠한 결정화 방법이라도 적용할 수 있고, 바람직하게는 레이저에 의한 결정화법이 사용될 수 있다.

<37> 상기 SLS 법은 실리콘의 결정립이 액상과 고상의 경계면에서 그 경계면에 대하여 수직인 방향으로 성장한다는 사실을 이용한 것으로, 마스크를 이용하여 레이저빔을 투과시켜 비정질 실리콘의 일부를 용융시키고, 이 용융된 실리콘의 부분과 용융되지 않은 실리콘의 부분의 경계로부터 용융된 실리콘의 부분으로 결정 성장이 이루어지도록 함으로써 결정을 형성하는 것이다.

<38> 이러한 SLS 법에 의해 형성된 결정 구조는 도 2에서 볼 수 있는 바와 같이, 서로 소정 간격 이격된 복수개의 프라이머리 결정립 경계와 이 프라이머리 결정립 경계의 사이에 프라이머리 결정립 경계에 대략 수직인 방향으로 연장된 세컨더리 결정립 경계로 되어 있다. 상기 프라이머리 결정립 경계는 결정 입자의 성장 방향과 수직인 방향으로 형성된 것으로 결정 성장이 서로 만나면서 형성되는 것이다.

<39> 즉, 다결정 실리콘의 결정립이 TFT 특성 향상을 위하여 크고 규칙화되는 경우, 결정립의 유한한 크기로 인하여, 인접한 결정립 사이에는 결정립 경계가 발생한다.

<40> 본 발명에서 "결정립 크기"라 함은 확인될 수 있는 결정립 경계 사이의 거리를 말하며, 통상 오차 범위에 속하는 결정립 경계 사이의 거리라고 정의한다.

<41> 상기 결정립 경계는 전하 캐리어(electric charge carrier)에 대하여 트랩(trap)으로 작용하는 것으로 알려져 있다. 특히, 상기 다결정 실리콘이 SLS에 의하여 제조되는 경우 결정립

성장 방향과 거의 수직하게 형성되는 프라이머리 결정립 경계의 수는 TFT 특성에 직접 또는 간접적으로 치명적인 영향을 줄 수 있다.

<42> 도 3은 프라이머리 결정립 경계의 수에 따른 전류 이동도의 변화를 나타내는 그래프이다. 도 3을 참조하면, PMOS 트랜지스터이든 NMOS 트랜지스터이든 프라이머리 결정립 경계의 수가 증가함에 따라 전류 이동도가 직선적으로 감소함을 알 수 있다.

<43> 즉, "프라이머리" 결정립 경계가 TFT의 소스에서 드레인으로 흐르는 전류 방향과 수직인 경우에는 "프라이머리" 결정립 경계가 전하 캐리어의 이동에 대하여 트랩으로 작용한다는 것을 알 수 있다.

<44> 또한, 프라이머리 결정립 경계와 일반적으로 수직으로 이루어지며 프라이머리 결정립 경계보다 그 수가 많은 세컨더리 결정립 경계 역시 전류 이동도에 영향을 미친다.

<45> 도 4는 세컨더리 결정립 경계의 수에 따른 전류 이동도의 변화를 나타내는 그래프이다.

<46> 도 4에서 알 수 있는 바와 같이 세컨더리 결정립 경계 역시 그 수가 증가함에 따라 전류 이동도가 감소함을 알 수 있다.

<47> 그러나, 전류 흐름에 대하여 트랩으로 작용할 수 있는 결정립 경계의 수는 프라이머리 결정립 경계가 더욱 영향을 미치게 되고 세컨더리 결정립 경계는 트랩으로 작용하는 효과가 그다지 크지 않으므로 전류 이동도 특성은 프라이머리 결정립 경계가 소스에서 드레인으로 흐르는 전류 방향과 평행한 경우보다는 상대적으로 우수하다.

<48> 한편, 앞서 살펴본 바와 같이, 전하 캐리어가 많은 수의 결정립 경계("세컨더리" 결정립 경계)를 가로질러 이동해야 하는 경우에는 (즉, "프라이머리" 결정립 경계가 전류 방향과 평행한 경우) 전하 캐리어에 대한 트랩인 결정립 경계의 수가 증가하여 전류 특성은 나쁘나, 반면

에 액티브 채널의 기판 내에 위치 변화에 대한 변동성이 작으므로 (즉, 결정립 경계가 1개에서 2개로 바뀔때의 변동성과 결정립 경계가 100개에서 102개로 바뀔때의 변동성 차이) TFT의 균일성이 확보될 수 있다.

<49> 즉, "프라이머리" 결정립 경계는 결정립 경계의 숫자의 변환에 따라 전류 이동에 따른 변동성이 크나, "세컨더리" 결정립 경계는 결정립 경계 숫자의 변환에 따라 전류 이동에 따른 변동성이 작게 된다.

<50> 따라서, 본 발명에서는 이러한 전류값의 차이는 발광 소자에 전류를 공급하는 구동 박막 트랜지스터인 도 1의 제 2 TFT의 액티브 채널 영역 내에 포함되는 다결정 실리콘의 프라이머리 결정립 경계의 수 또는 세컨더리 결정립 경계의 수가 서로 다르게 함으로써 달성되도록 한다. 즉, 적, 녹, 청색의 각 부화소의 제 1 TFT의 액티브 채널 영역 내에 포함되는 프라이머리 결정립 경계의 수를 달리 함으로써 각 부화소의 발광 소자, 예컨대 유기 전계 발광 소자에 공급되는 전류값이 달라지는 것이다.

<51> 이는 다시 말해, 상기 제 2 TFT의 액티브 채널 내에 포함되는 프라이머리 결정립 경계의 수가 동일 구동 전압에서 각 부화소를 흐르는 전류값에 의해 결정되도록 하는 것이다. 따라서, 화이트 밸런스를 맞추기 위해 가장 휘도가 높은 녹색 부화소들의 전류값이 가장 낮게 되는 방향으로 녹색 부화소들의 제 2 TFT의 액티브 채널 영역에 포함되는 프라이머리 결정립 경계가 가장 적도록 하고, 바람직하게는 각 부화소들의 전류값이 적색, 청색 및 녹색 부화소의 순으로 전류값이 낮아지는 방향으로 적색 제 2 TFT, 청색 제 2 TFT, 녹색 제 2 TFT의 각 액티브 채널 영역 내에 포함되는 프라이머리 결정립 경계의 수를 조절해야 한다.

<52> 이에 따라, 각 부화소의 휘도는 보완이 되어 화이트 밸런스가 맞추어 질 수 있는 것이다

- <53> 이렇게 제 2 TFT의 액티브 채널 영역 내에 포함되는 프라임리 결정립 경계의 수는 액티브 채널 영역의 전하 이동도에 의해서도 결정될 수 있다. 이는 액티브 채널 영역 내의 전하 이동도가 크면 더 많은 양의 전류가 흐를 수 있고, 채널 영역에서의 전하 이동도가 작으면 더 적은 양의 전류가 흐를 수 있기 때문이다.
- <54> 따라서, 화이트 밸런스를 맞추기 위해 가장 발광 효율이 높은 녹색 부화소의 전하 이동도가 가장 낮게 되는 방향으로 녹색 부화소의 제 2 TFT의 액티브 채널 영역 내에 포함되는 프라임리 결정립 경계의 수를 조절하여야 하고, 바람직하게는 각 부화소의 제 2 TFT의 액티브 채널 영역 내에 포함되는 프라임리 결정립 경계의 수는 적색, 청색 및 녹색 부화소의 순으로 많아지는 방향으로 결정립 경계의 수를 조절하거나 청색 및 녹색의 결정립 경계의 수는 동일하여야 한다.
- <55> 즉, 적색 부화소의 적색 제 2 TFT의 액티브 채널 영역의 전하 이동도가 가장 크게 되도록 적색 제 2 TFT의 액티브 채널 영역 내에 포함되는 프라임리 결정립 경계의 수가 가장 적게, 그리고, 청색 부화소의 제 2 TFT의 액티브 채널 영역 내에 포함되는 프라임리 결정립 경계의 수가 그 다음으로 적게, 녹색 부화소의 제 2 TFT의 액티브 채널 영역 내에 포함되는 프라임리 결정립 경계의 수가 가장 많게 되도록 조절한다.
- <56> 이에 따라 각 부화소에서의 전류값은 전술한 바와 같은 차이를 나타내고, 각 부화소의 휘도는 보완이 되어 화이트 밸런스가 맞추어 지는 것이다.
- <57> 또한, 제 2 TFT의 액티브 채널 영역 내에 포함되는 결정립 경계의 수는 발광층을 형성하는 발광 물질에 따라 달라질 수 있으며, 미리 각 화소의 휘도와 화이트 밸런스를 맞추기 위한 전류비를 구한 후 녹색 부화소를 기준으로 하여 각 부화소의 제 2 TFT의 액티브 채널 영역 내에 포함되는 결정립 경계의 수를 설정하면 된다.

- <58> 이하, 본 발명의 일실시예에 따른 유기 전계 발광 소자의 구조 및 제조 방법을 도 5, 도 6 및 도 7을 참조하여 설명한다.
- <59> 도 5는 도 1에서 단일 화소를 나타내는 부분 확대 평면도이고, 도 6은 도 5에서 II-II 선을 따라 절단한 단면을 나타내는 단면도, 도 7은 도 5에서 III-III 선을 따라 절단한 단면을 나타내는 단면도이다.
- <60> 도 5, 도 6 및 도 7에서 볼 수 있듯이, 유리 재료인 절연 기판(1)에 버퍼층(2)이 형성되어 있고, 이 버퍼층(2) 상부로 제 1 TFT(10), 제 2 TFT(20), 캐패티서(30) 및 유기 전계 발광 소자(유기 EL 소자; 40)가 형성된다. 상기 버퍼층(2)은 SiO_2 로 형성할 수 있으며, PECVD법, APCVD법, LPCVD법, ECR법 등에 의해 증착될 수 있다. 그리고, 이 버퍼층(2)은 대략 3,000 Å 정도로 증착할 수 있다.
- <61> 상기 버퍼층(2)의 상부에는 비정질 실리콘 박막이 증착되는데, 대략 500 Å 정도로 증착시킬 수 있다. 상기과 같은 비정질 실리콘 박막은 다양한 방법에 의해 다결정 실리콘 박막으로 결정화시킬 수 있다. 이때, 결정화된 다결정 실리콘 박막은 도 2에서 볼 수 있는 바와 같은 길이 방향으로 연장된 프라이머리 결정립 경계와 이 프라이머리 결정립 경계에 수직한 세컨더리 결정립 경계를 포함한다. 본 발명의 바람직한 실시예에 있어서는 전술한 바와 같이 이러한 결정 구조를 얻기 위하여 SLS 법을 사용하였으나 이외에도 이러한 결정 구조를 얻을 수 있는 결정화법이면 어떠한 결정화법이든 사용할 수 있다.
- <62> 이때, 각 화소마다 포함되는 결정립 경계의 수를 조절하기 위하여 각 화소마다 결정화시 마스크 패턴을 달리하여 결정화한다. 즉, 녹색 화소 영역의 경우 전류값 및 전류 이동도를 낮게 하기 위하여 결정립 경계가 많이 포함되도록 마스크 패턴이 중첩되는 중첩율을 낮게 한다

반면, 휘도 효율이 낮은 적색 영역의 경우에는 결정립 경계가 구동 TFT의 액티브 채널 영역 내에 포함되는 결정립 경계의 수가 적게 되도록 가능한 마스크 패턴이 높은 중복율을 갖도록 하여 레이저빔을 조사하여 결정화한다.

<63> 상기 결정립 경계에는 프라이머리 결정립 경계와 세컨더리 결정립 경계가 모두 포함된다

<64> 이와 같이 하여, 각 화소마다 마스크 패턴의 중복율을 달리하여 구동 TFT의 액티브 채널 영역 내에 포함되는 결정립 경계의 수가 다르도록 다결정 실리콘 박막을 형성한다.

<65> 다결정 실리콘 박막을 형성한 후 그 위로 도 1에서 볼 수 있듯이, 각 부화소별로 제 2 TFT의 액티브 채널 영역이 결정립 경계의 방향에 대해 서로 수직하도록 패터닝한다. 이때, 결정립 경계는 프라이머리 결정립 경계 또는 세컨더리 결정립 경계이다. 이때, 제 1 TFT의 액티브 채널 영역도 패터닝을 동시에 행한다.

<66> 이렇게 액티브 채널 영역의 패터닝을 행한 후에는 그 위로 SiO_2 등에 의해 게이트 절연막을 PECVD법, APCVD법, LPCVD법, ECR법 등에 의해 증착하여 형성하고, MoW, Al/Cu 등으로 도전막을 성막한 후 패터닝하여 게이트 전극을 형성한다. 상기 액티브 채널 영역, 게이트 절연막, 게이트 전극은 다양한 순서 및 방법에 의해 패터닝이 가능하다.

<67> 액티브 채널 영역, 게이트 절연막, 게이트 전극의 패터닝이 끝난 후에는 그 소스 및 드레인 영역에 N형 또는 P형 불순물을 도핑한다.

<68> 이렇게 도핑 공정이 끝난 후에는 도 6 및 도 7에서 볼 수 있듯이, 층간 절연막(4) 및 패시베이션막(5)을 형성한 후 콘택 홀을 통해 소스 전극(14)(24) 및 드레인 전극(15)(25)을 액티

브 채널 영역(11)(21)에 접속하고, 평탄화막(6)을 형성한다. 이러한 막 구조는 소자 설계에 따라 다양한 구조를 채용할 수 있음은 물론이다.

<69> 한편, 제 2 TFT(20)에 접속하는 EL 소자(40)는 다양한 방법에 의해 형성될 수 있는데, 먼저, ITO에 의해 제 2 TFT(20)의 드레인 전극(25)에 접속하는 애노드 전극(41)을 형성한 후 패터닝하고, 그 위로 유기막(42)을 형성한다. 이때, 상기 유기막(42)은 저분자 또는 고분자 유기막이 사용될 수 있는데, 저분자 유기막을 사용할 경우 홀 주입층, 홀 수송층, 유기 발광층, 전자 수송층, 전자 주입층 등이 단일 또는 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc), N,N'-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-야(napht halene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminium: Alq3) 등을 비롯해 다양하게 적용할 수 있다. 이들 저분자 유기막은 진공 증착의 방법으로 형성된다.

<70> 고분자 유기막의 경우에는 홀 수송층(HTL) 및 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이때, 상기 홀 수송층으로 PEDOT을 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)rP 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기 물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄 방법으로 형성한다.

<71> 이렇게 유기막을 형성한 후에는 Al/Ca 등으로 캐소드 전극(43)을 전면 증착하거나, 패터닝하여 형성할 수 있다. 그리고, 캐소드 전극(43)의 상부는 유리 또는 금속 캡에 의해 밀봉된다.

<72> 이상 설명한 것은 본 발명을 유기 전계 발광 소자에 적용한 경우이나, 본 발명은 이에 한정되는 것이 아니며, 액정 표시 장치나 무기 전계 발광 소자등 TFT를 이용할 수 있는 어떠한 구조에든 적용될 수 있음은 물론이다.

<73> 또한, 본 발명의 바람직한 실시예에 따른 유기 전계 발광 소자의 층상 구조는 반드시 상술한 바에 한정되는 것은 아니고, 이와 다른 어떠한 구조도 본 발명이 적용될 수 있음은 물론이다.

【발명의 효과】

<74> 이상과 같이 본 발명에서는 화소를 구동하는 구도 박막 트랜지스터의 액티브 채널 영역의 폭이나 크기를 변경하지 않고 구동전압을 변경하지 않으면서 동일 크기의 액티브 채널 영역을 가지고도 화이트 밸런스를 맞출 수 있고, 부화소별로 적정한 전류를 공급하므로 적정 휘도를 얻을 수 있고, 수명 열화를 방지할 수 있다.

<75> 또한, 각 화소당 구동 박막 트랜지스터가 차지하는 면적을 증가시키지 않고 소자에 흐르는 전류량만을 조절하여 줌으로써 개구율의 감소 문제를 해결할 수 있으며 신뢰성을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

녹색, 적색 및 청색 화소 영역을 구비하고 있으며, 동일한 액티브 채널 길이 및 폭을 갖는 상기 화소를 구동하는 구동 박막 트랜지스터를 구비하고 있으며, 상기 구동 박막 트랜지스터의 액티브 채널 영역 내에 포함되는 다결정 실리콘의 결정립 경계의 수가 각 화소마다 서로 다른 것을 특징으로 하는 평판 표시 장치.

【청구항 2】

제 1항에 있어서,

상기 다결정 실리콘의 프라이머리 결정립 경계의 수는 녹색이 가장 많으며, 적색 및 청색은 동일한 것인 평판 표시 장치.

【청구항 3】

제 1항에 있어서,

상기 다결정 실리콘의 프라이머리 결정립 경계의 수가 녹색, 청색, 적색 영역의 순으로 많은 것인 평판 표시 장치.

【청구항 4】

제 1항에 있어서,

상기 다결정 실리콘의 프라이머리 결정립 경계의 수는 녹색 및 청색은 동일하며 적색이 가장 적은 것인 평판 표시 장치.

【청구항 5】

제 1항에 있어서,

상기 결정립 경계는 각 구동 박막 트랜지스터의 액티브 채널 영역에서 전류가 흐르는 방향과 수직인 것인 평판 표시 장치.

【청구항 6】

제 5항에 있어서,

상기 결정립 경계는 프라이머리 결정립 경계인 평판 표시 장치.

【청구항 7】

제 5항에 있어서,

상기 결정립 경계는 세컨더리 결정립 경계인 평판 표시 장치.

【청구항 8】

제 7항에 있어서,

상기 평판 표시 장치는 녹색 화소의 구동 박막 트랜지스터의 액티브 채널 영역 내에 포함되는 프라이머리 결정립 경계의 수가 가장 작은 것인 평판 표시 장치.

【청구항 9】

제 8항에 있어서,

상기 평판 표시 장치는 청색 화소와 적색 화소의 구동 박막 트랜지스터의 액티브 채널 영역 내에 포함되는 프라이머리 결정립 경계의 수가 동일하거나 청색 화소의 구동 박막 트랜지스터의 액티브 채널 영역 내에 포함되는 프라이머리 결정립 경계의 수가 적색 화소의 구동 박

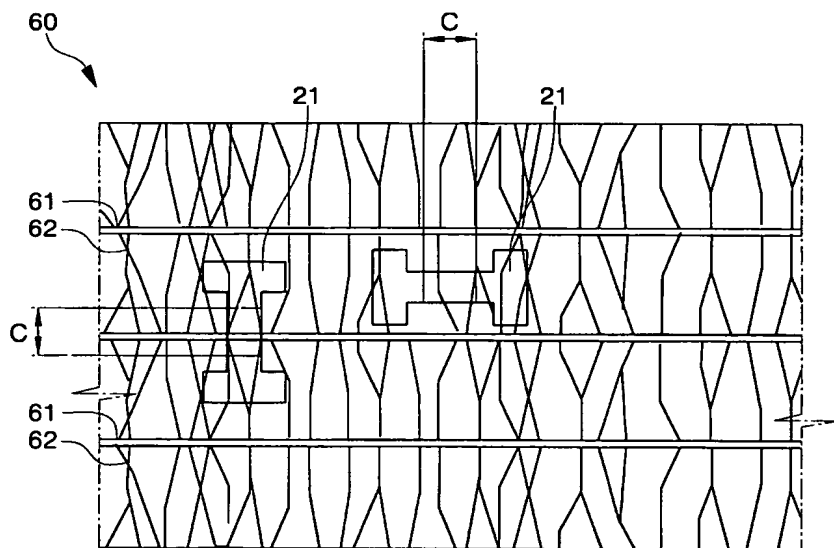
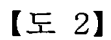
막 트랜지스터의 액티브 채널 영역 내에 포함되는 프라이머리 결정립 경계의 수보다 더 적은 것인 평판 표시 장치.

【청구항 10】

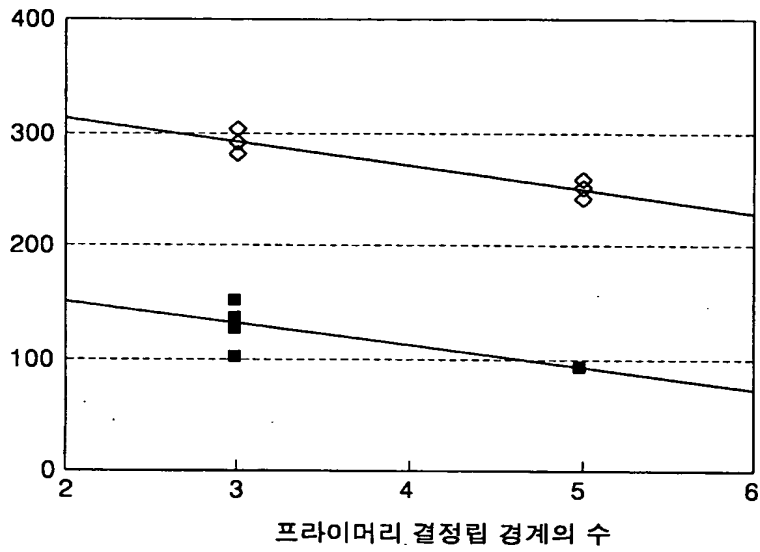
제 1항에 있어서,

상기 평판 표시 장치는 액정 표시 장치, 무기 전계 발광 소자 및 유기 전계 발광 소자 중 어느 하나인 평판 표시 장치.

【도 1】

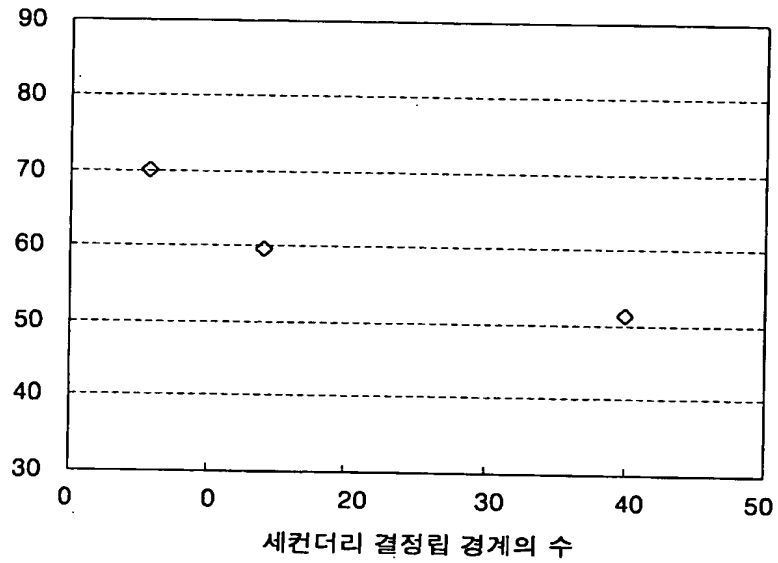


【도 3】

전류 이동로
($\text{m}^2/\text{v.s}$)

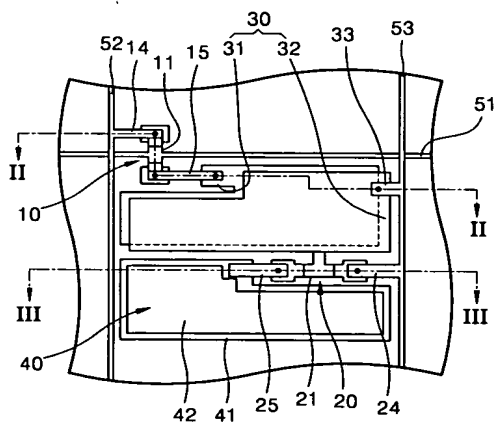
◇ NMOS
■ PMOS

【도 4】

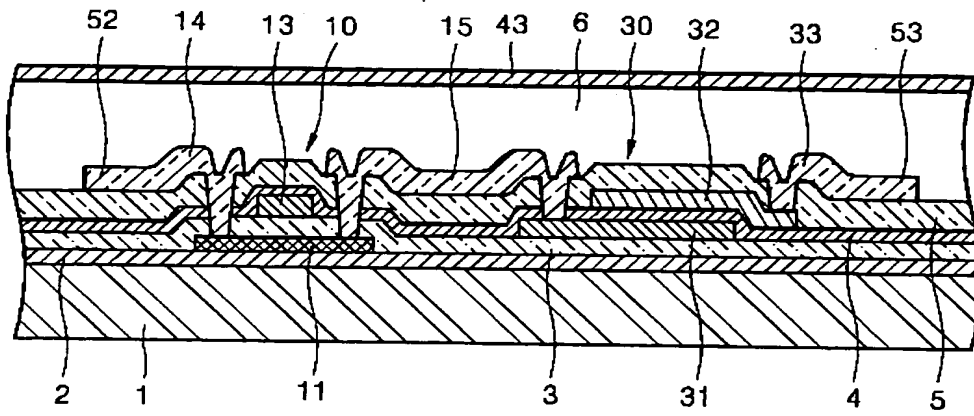
전류 이동로
($\text{m}^2/\text{V.s}$)

◇ NMOS
■ PMOS

【도 5】



【도 6】



【도 7】

